Zuverlässigkeit bleifrei gelöteter Leistungsbaugruppen

Sitzung des FA10
Düsseldorf, 26. April 2006

Gliederung:

- Aufgabenstellung und Zielsetzung
- Projektstatus
- Planungen
- Management

AIF-Nr.: 14.427N
Laufzeit des Vorhabens: 01.07.2005 – 31.06.2007

Prof. Dr.-Ing. J. Wilde, Dipl.-Ing. J.Dalin
Professur für Aufbau- und Verbindungstechnik
Albert-Ludwigs-Universität Freiburg
wilde@imtek.uni-freiburg.de

Albert-Ludwigs-
Universität Freiburg

Forschungsziel

Robuster Auslegungs- und Fertigungsprozess zur Montage von Leistungsbauelementen mit Hilfe von bleifreien Loten

- Identifikation der relevanten Einflussgrößen von Lötprozess sowie Aufbau- und Verbindungstechnik
- Versagensmodell für bleifrei Lote um Übertragbarkeit auf andere Aufbauformen zu gewährleisten.
- Designregeln für bleifrei gelöteter Leistungsbaugruppen.

Freiheitsgrade

Konstruktion

- BE-Typ
- Materialien, Aufbau BE
- Geometrie
- Substratmaterial

Technologische Einflussgrößen

- Lotmaterial (Pb – frei)
- Preform, Pastendruck
- Prozess und Fehler (Poren)
- Design-Regeln

Arbeits- und Meilensteinplan

Arbeitspaket/Arbeitsschritt	Zeitraum	Meilen-stein	Ter-min
	Projektmonat		Mo.
1. Definition der Testmodule	1-3	M1	3
2. Lötversuche	3-6	M2	6
3. Qualität der Lotverbindungen	4-6	M3	6
4. Untersuchung der Zuverlässigkeit	7-18	M4	18
5. Schadensanalyse	9-18	M5	18
6. Belastungsanalyse (FE)	12-18	M6	18
7. Lebensdauermodell	15-21	M7	24

Unterstützung PBA

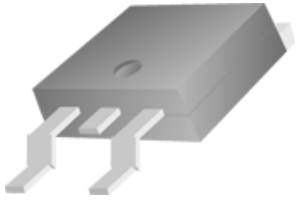
- Lötversuche mit dem Reflow-Lötverfahren werden bei den Projektpartnern im PBA durchgeführt: SEHO, Hopp-Elektronik
- Die Fa. Curamik hat DCB-Substrate bereitgestellt.
- Lotpasten, Flussmittel etc. werden von der Fa. Hilpert Electronics bereitgestellt.
- Von der Fa. Würth Elektronik ist Interesse bekundet worden, uns mit der Fertigung der Leiterplatten zu unterstützen und im PBA mitzuwirken.

PBA-Aktivitäten

PBA-Treffen Freiburg	5. Oktober 2005
Besprechung bei SEHO	7. Oktober 2005
Besprechung bei Curamik	6. Dezember 2005
Besprechung bei Würth Elektronik	9. Dezember 2005
PBA-Treffen Freiburg	27. April 2006 (geplant)

Festlegungen für die experimentellen Untersuchungen

- BE-Typ:
  - SMD-Bauelemente (Großflächige Lotverbindungen)
- Materialien:
  - Endmet. BE: Sn
  - LP – Finish: Ag / NiAu
- Geometrie der Lotverbindung (SMD):
  - DPAK (~ 7,0 * 5,5 mm^2)
  - D2PAK (~ 9,5 * 10,5 mm^2)
  - D3PAK (~ 13,5 * 15 mm^2)
- Substratmaterial:
  - FR4 / halogenfreie LP mit verschiedenen α-Koeffizienten, E-Modul (Variation in Glasgewebe/Harzgehalt-Verhältnis) Dicken 1,0 / 1,5 / 2,0 mm

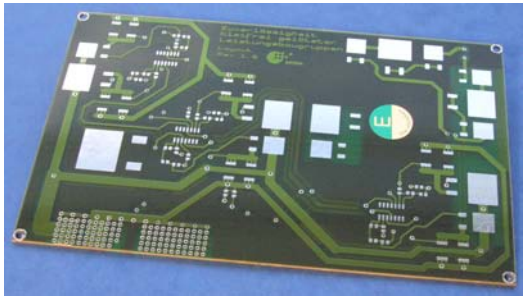


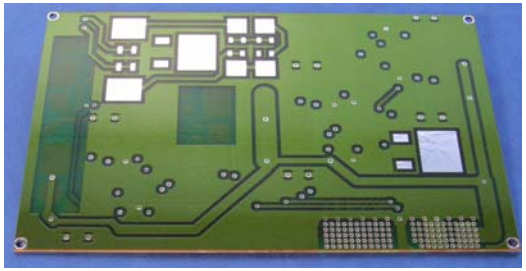
DPAK-Gehäuse

Versuchsplan Power-SMD-Bauelemente

Festgelegte Freiheitsgrade für die experimentellen Untersuchungen an Power SMD-Bauformen – Technologische Einflussgrößen:

- Lotmaterial:
  - SnAg3.8Cu0.7
  - evtl. nicht-eutektisches Lot
    (Vorschlag von Herr Diehm, SEHO GmbH)
- Pastendruck:
  - 2 Lotpastendicken
- Prozess:
  - Luft, Stickstoff, Dampfphase
  - Löttemperatur
  - } → Einfluss auf Voids und Poren
  - Reparaturarbeit mit Laserlöten
    (Vorschlag von Herr Diehm, SEHO GmbH)
- Design:
  - die Lokalisierung der Bauteil auf der Leiterplatte
  - unterliegende Kupferflächen / Bauteilen bei Multilayer-Leiterplatten bzw. Doppelseitige Bestückung



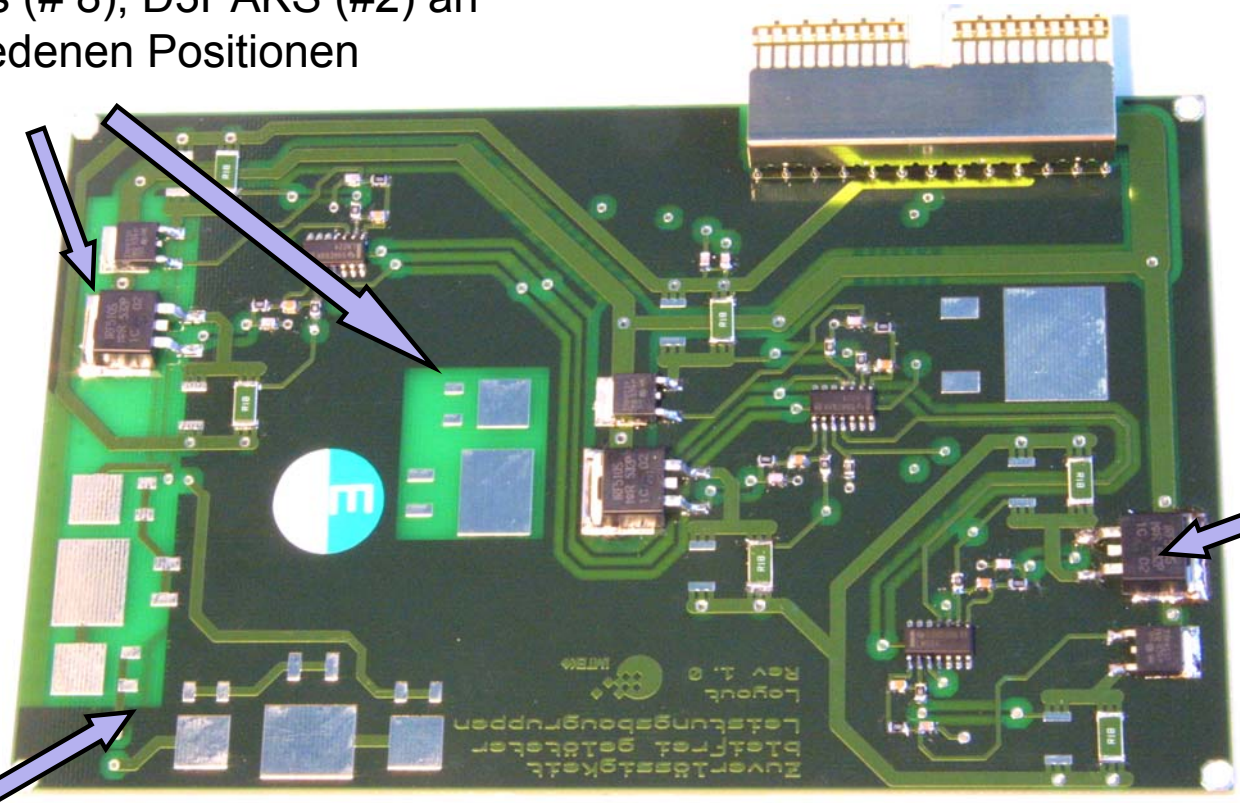


Prototyp Leiterplatte

Zuverlässigkeit bleifrei gelöteter Leistungsbaugruppen

Power SMD-Bauelemente
SMD-Bauelemente DPAKs (# 12),
D2PAKs (# 8), D3PAKS (#2) an
verschiedenen Positionen

doppelseitig SMD-
bestückte Leiterplatte



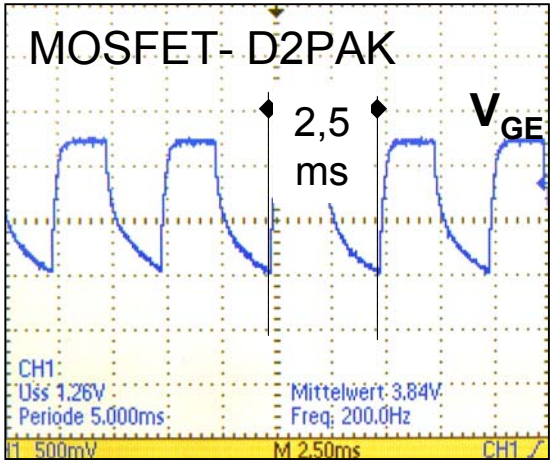
Aktive
Schaltung:
- 3 DPAKs
- 3 D2PAKs

Daisy-Chain Struktur

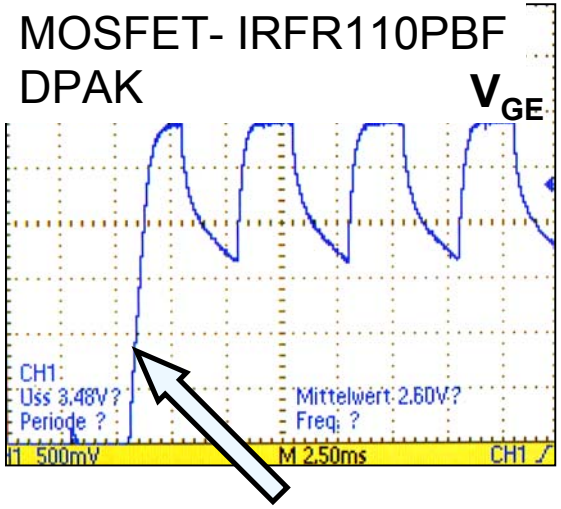
Prototyp

Power SMD - Bauelemente

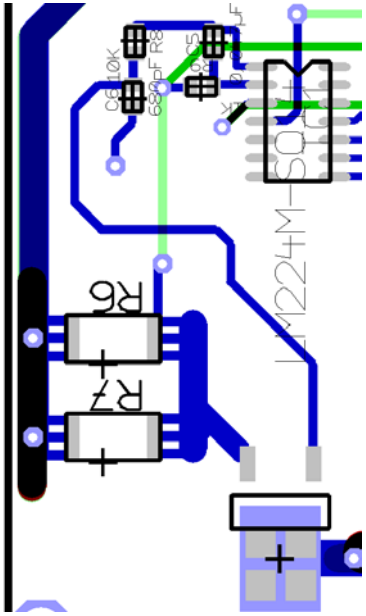
Schaltung für Power-Cyclingbetrieb



Elektrische Tests mit pulsbreitenmodulierten Strompulsen.



Temperaturwechsel von kalt zu warm



Layout für Power-Cyclingbetrieb an Power SMD-Bauelementen

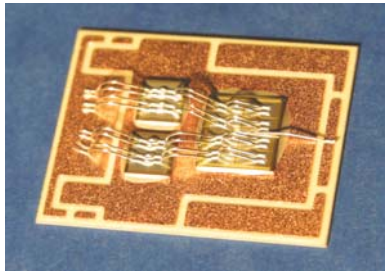
Versuchsplan Bare-Chip Substrate, Leistungs-ICs

Die festgelegte Freiheitsgrade für die experimentelle Untersuchungen an Bare-chip Substraten - Konstruktion und Technologische Einflussgrößen:

- BE-Typ:
  - Leistungs-ICs auf DCB-Substraten
- Materialien:
  - Substrat – Finish: Cu / Ni / NiAu
- Geometrie der Lotverbindung (Chipgrößen):
  - 5 * 5 mm^2
  - 9 * 9 mm^2
  - 11 * 11 mm^2
- Lotmaterial:
  - SnAg3,8Cu0,7

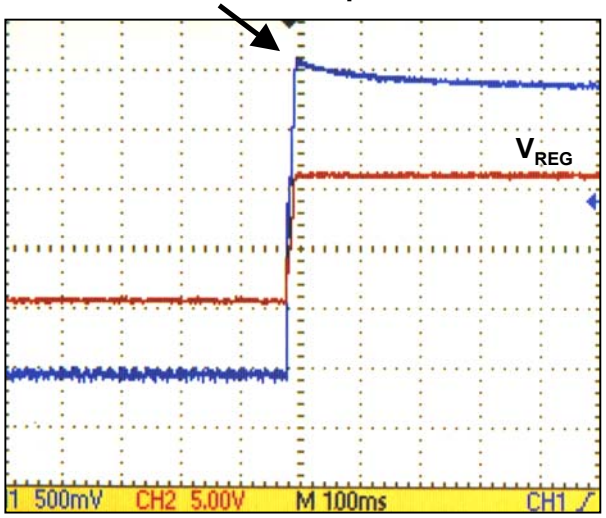
Bare-Chip Substrate, Leistungs-ICs

Montiertes Modul



Tests an Leistungs-ICs auf DCB-Substraten im Power-Cycling-Betrieb

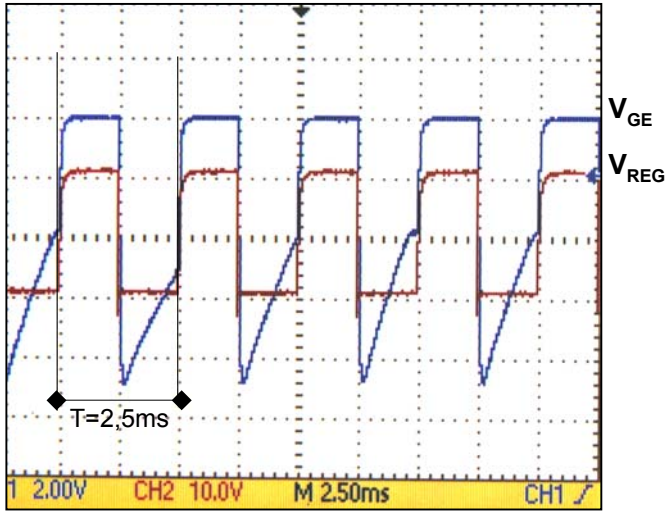
Drift des Arbeitspunkts mit der Temperatur



Arbeitspunkt:
V_{CE} = 10 V I_{CE}=2,5 A

Optimierung des Arbeitsbereiches

Stabiler Arbeitpunkt vorhanden bei TW kalt ←→ warm



Arbeitspunkt:
V_{CE} = 10 V I_{CE}=5 A
(50% Duty-Cycle)

Projektstatus

- Die Festlegung der Testmodule sowie das Design einer Leiterplatte für die experimentelle Untersuchungen an Power SMD-Bauformen ist weitgehend abgeschlossen.
  - ✓ Festlegung der SMD-Bauformen
  - ✓ Festlegung der Richtlinien für das Design der Baugruppe
  - ✓ Realisierung einer Schaltung für passive und aktive Temperaturwechseltests
  - ✓ Prüfung der Layout durch den PBA
  - ✓ Elektrische Tests an Prototyp

- Tests mit Power-Cycling-Betrieb an Leistungs-ICs auf DCB-Substraten (Bare-chip) sind in Bearbeitung.
  - ✓ DCB-Substrate sind von der Fa. Curamik bereitgestellt worden.
  - ✓ Leistungs-ICs sind am IMTEK vorhanden.

Power SMD-Bauelemente

Bauelemente

Bauteil	Gehäuse	Hersteller	End.Met.	max T löten	Max T Betrieb	Verpackung
IRFR110PBF	DPAK (TO252AA)	Int. Rec.	Sn	10 –30 sek > 255°C	-55 bis +150°C	tube
IRF510SPBF	D2PAK (TO263AB)	Int. Rec.	Sn	10 –30 sek > 255°C	-55 bis +175°C	tube
Daisy-Chain	DPAK (TO252AA)	Top-Line	Sn	-	-	reel
Daisy-Chain	D2PAK (TO263AB)	Top-Line	Sn	-	-	reel

Zusätzliche Bauelemente für Power-Cyclingbetrieb

Bauteil	Gehäuse	Hersteller	End.Met.	max T löten	Max T Betrieb	Verpackung
LM2902D	SOIC14	Texas Intr.	Cu NiPdAu	Level 2-260C-1 Year (Jedec)	-40 bis +125°C	tube
Messerleiste	Amp Z-Pack	Tyco Elec.	Au	-	-20 bis +105°C	-
Chip - R/C	0805 / 2512	-	-	-	-	-