Herstellung und Untersuchung von eutektischen SnAg- und SnAgCu-Lotbumps auf modifizierten Unterbumpmetallisierungen

Dipl.-Ing. Ralf Schmidt, Fraunhofer Institut Zuverlässigkeit und Mikrointegration
Dr. Rolf Biedorf, Technische Universität Dresden, Institut für Halbleiter- und Mikrosystemtechnik

In der Aufbau- und Verbindungstechnik der Mikroelektronik findet auf Grund der Forderungen nach kürzesten Verbindungslängen und hoher Funktionsdichte zunehmend die direkte Montage unverkappter integrierter Bauelemente (Chips) auf Leiterplatten Anwendung. Eine Möglichkeit, nackte Chips unmittelbar zu kontaktieren, ist, die Anschlussflächen auf dem Chip mit Lothügeln (Bumps) zu versehen, die Chips zu drehen und mit allen Anschlüssen direkt auf die Leiterplatte zu löten. Diese als Flip-Chip bekannte Technik wurde bisher mit Zinn-Blei-Loten ausgeführt. Der notwendige Übergang zu bleifreien Loten erfordert auch für diese Flip-Chip-Montage Umstellungen. Das bisherige galvanische Bumping, das Galvanisieren der Chipanschlussflächen mit Lotkontakten aus eutektischem SnPb (60/40) im Waferverbund muss bis 2006 durch bleifreie Legierungen (naheutektische Zinn-Silber- bzw. Zinn-Silber-Kupfer-Lote) ersetzt werden. Untersucht wurde ein nasschemischer durchgängiger Waferbumpingprozess zur galvanischen Abscheidung der bleifreien Bumps für die Flip-Chip-Montage auf Leiterplatten.

1. Flip-Chip-Bumping

Die platzsparende Montage von unverpackten integrierten Bauteilen (IC-Chips) direkt auf einer Leiterplatte ist eine in letzter Zeit zunehmende Forderung der Miniaturisierung elektronischer Baugruppen. Voraussetzung ist die Herstellung von lötfähigen Verbindungselementen (Lotbumps). Die Herstellung der für diese Verbindung erforderlichen Bumps erfolgt produktiv direkt auf dem Wafer. Erst nach dem Bumping wird der Wafer geritzt, gebrochen und der Chip kann durch Aufschmelzlöten auf der Leiterplatte montiert werden.

Das Bumping im Waferlevel bedingt die Herstellung einer lötfähigen Oberfläche (Unterbumpmetallisierung - UBM) auf dem IC-Pad. UBM bestehen aus Haftvermittlerschichten/Diffusionsbarrieren (z.B. WTi) und Seedlayer (Startschicht z.B. Cu). Um die Kupferschicht (50 - 300 nm dick) widerstandsfähig gegen das Löten zu machen, muss diese Schicht verstärkt (Kupfersockel) und eventuell mit einer zusätzlichen Diffusionsbarriere (Ni) versehen werden. Auf diesen Sockel wird der Bump aufgebracht. Der Bump soll das Lot für eine stoffschlüssige Verbindung zwischen Chip-Pad und dem Pad auf der Leiterplatte bereitstellen und einen Abstand zwischen Chip und Leiterplatte gewährleisten. Dieser Stand-off sollte mindestens 25 µm, besser um 50 µm betragen.Die dem entsprechende Menge Lot kann durch Aufbringen und Aufschmelzen von Lotformteilen (z.B. Lotkugeln), durch Dispensen oder Schablonendruck von Lotpasten oder durch galvanische Abscheidung im Waferlevel erfolgen.

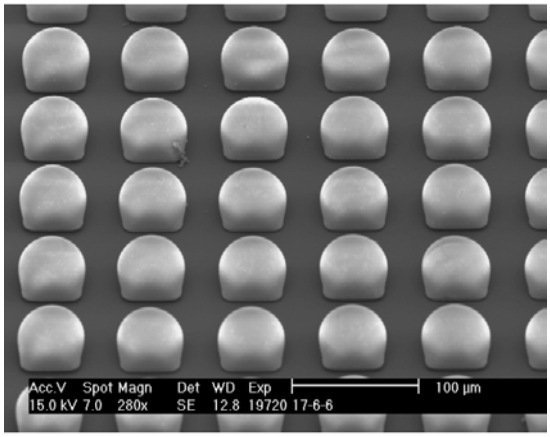


Bild 1: Bump-Array für die Flip-Chip-Montage (SnAgCu-Lot)

2. Galvanotechnische Herstellung der bleifreien SnAgCu-Legierung

Als bleifreie Legierung für das Löten in der Mikroelektronik findet zunehmend die Legierung Zinn-Silber (3,5 % Ag, Eutektikum bei 220,3 °C) Anwendung. Die Zulegierung von Kupfer (Zinn-Kupfer 0,7 % Cu, Eutektikum bei 226,8 °C) bedingt bessere Schmelz- und Verlaufseigenschaften, geringere Diffusion in den Kupferuntergrund und eine etwas niedrigere Schmelztemperatur der ternären SnAgCu-Legierung (3,8 % Ag, 0,7 % Cu, Eutektikum bei 216,9 °C).

Die Herstellung der eutektischen bleifreien Legierung SnAgCu durch elektrochemische SnAgCu-Legierungsabscheidung von ist beispielsweise mit einem modifizierten SnAg-Elektrolyten der Fa. Schlötter möglich. Die erforderlichen geringen Masse-% der Legierungselemente und die unterschiedlichen elektrochemischen Potentiale von Ag, Cu neben dem unedlen Zinn machen die Herstellung der ternären eutektischen Legierung schwierig (hoher analytischer und Steuerungsaufwand und geringer Verfahrenszuverlässigkeit).

Wenn die eutektische Legierung SnAgCu auch durch Aufschmelzen von Schichten, mit Legierungselement- oder vorlegierten binären Legierungsschichten entsteht, kann der notwendige Reflowprozess zur Bumpformierung und zur Flip-Chip-Montage genutzt und das Verfahren produktiver werden. In den Unterbumpmetallisierungsschichten und den Kontaktierschichten auf der Leiterplatte sind die Elemente Kupfer und evtl. sogar Silber (chemisch Silber als "bleifreie" Leiterplattenoberfläche) bereits vorhanden.

Beim Versuch, unterschiedliche Schichtaufbauten durch Umschmelzen zur ternären Legierung umzuwandeln, wurde festgestellt, dass stets, wenn Zinn-Schichten von Kupfer- und/oder Silberschichten umgeben waren, der Schmelzpunkt dieses Sandwichaufbaus kurz über dem entsprechenden Eutektikum lag. Die Bildung dieses eutektischen Gemisches erfolgt jeweils in kürzester Zeit (z.B. in 20 s, die der üblichen Zeit über Liquidus beim Reflowprozess entspricht). Möglich wird dies durch eine sogenannte Korngrenzendiffusion, die schlagartig bei Überschreiten der eutektischen Temperatur erfolgt.
So verändern Bimetallfolien aus Zinn/Silber über 220,3 °C ihre Oberfläche und sind bei 224 °C vollständig geschmolzen. Dreischichtige Folien aus Kupfer, Silber und Zinn verändern ihre Oberfläche schon bei 218 °C und sind bereits bei 220 °C vollständig umgeschmolzen. Auch bei strukturierten Schichten erfolgt diese Diffusion (Bild 2).

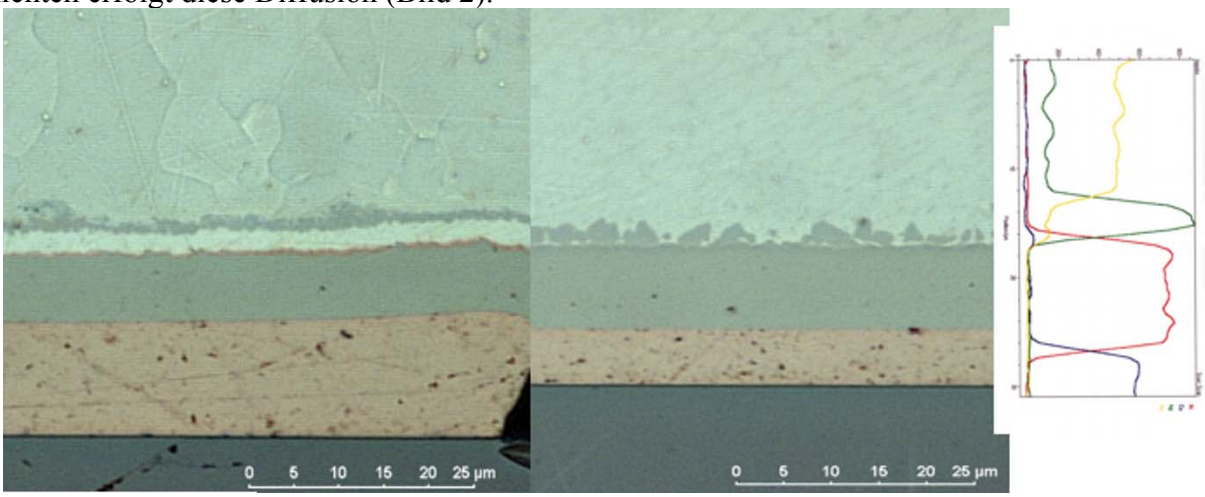
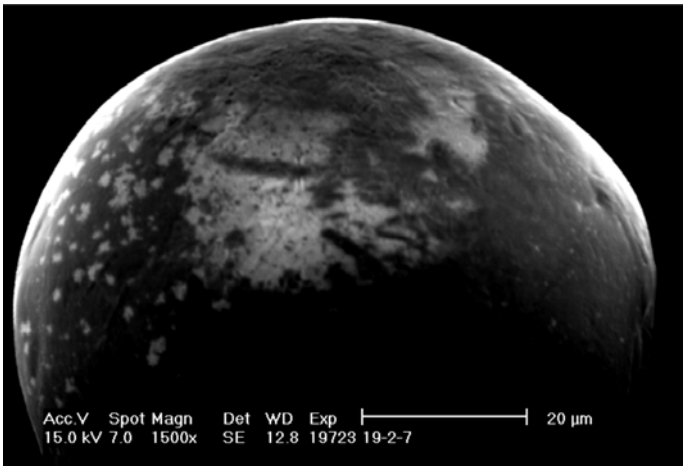


Bild 2: Schliff durch eine galvanisch hergestellte Schichtfolge Cu-Ag-Sn auf Ni/Cu-Basis 20 s getempert unter 220 °C (links) bzw. bei 223 °C (rechts) und der zum rechten Schliffbild gehörende EDX-Scan).

Bild 3: SnAgCu-Bump aus 0,3 µm Cu und 30 µm SnAg bei 219°C aufgeschmolzen



Die unterschiedlichen Schichtfolgen aus Cu, Ag, Sn, CuSn, AgSn (galvanisch, auch chemisch fremdstromlos oder Sputtern - PVD) wurden getestet. Dabei spielen die Art der Herstellung und die Konzentrationsverhältnisse kaum eine Rolle. Die Legierung nimmt beim

Aufschmelzen stets nur die der eutektischen Zusammensetzung entsprechende Metallmenge auf, überschüssige Legierungselemente werden in der Regel als Ag_3Sn oder Cu_6Sn_5 meist am Bumprand abgelagert.

3. Technologie des Waferbumping und Barriereherstellung

Um Wafer mit Bumps aus der bleifreien SnAgCu-Legierung durch galvanotechnische Schichtherstellung zu versehen, erwies sich der folgende technologischer Ablauf als günstig:

- vollflächige PVD-Abscheidung der WTi-Haftschicht und der Cu-Leitschicht (Seedlayer)
- fotolithografische Strukturierung mit Galvanoresist (50 µm Flüssigresist)
- strukturierte galvanische Abscheidung eines Sockels aus Kupfer und Nickel
- strukturierte galvanische Abscheidung einer 300 nm Kupferschicht (Flash-Cu)
- strukturierte galvanische Abscheidung von einer 30 µm Sn96Ag4-Legierungsschicht aus Legierungselektrolyten.
- Freilegen der Bumpstrukturen (Strippen der Lackmaske)
- zweistufiges nasschemisches Ätzen des UBM/Seedlayer-Aufbaues
- Umschmelzen (Reflow) des Lotes und damit Bildung der naheutektischen SnAgCu-Legierung

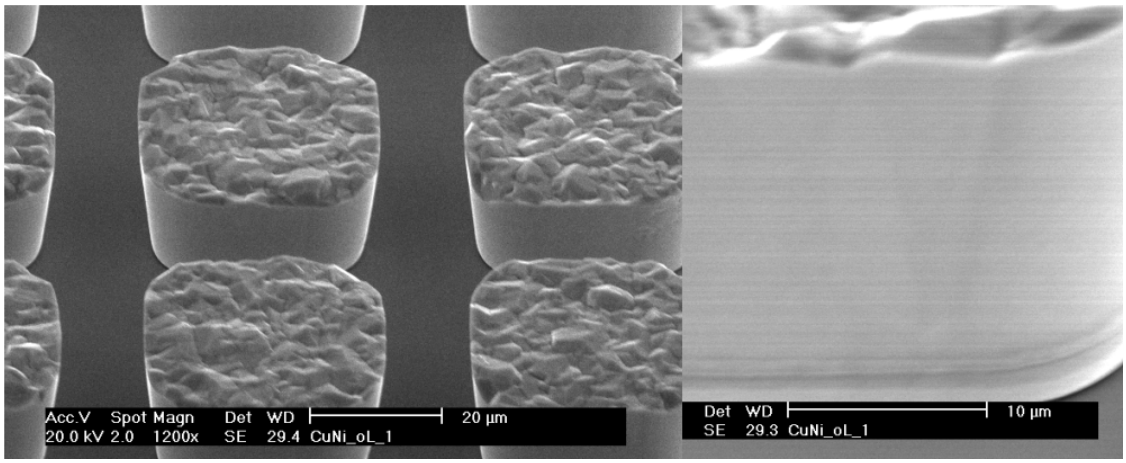


Bild 4: galvanisch hergestellte Bumps (unaufgeschmolzen). Im rechten Teilbild ist deutlich die Schichtung der Unterbumpmetallisierung zu sehen.

Diese Waferbumpingtechnologie ist durchgängig und benötigt kaum Unterbrechungen der technologischen Kette durch notwendige Reinigungs- und Schleusungsschritte: Der vakuumtechnische Halbleiterprozess kann nahtlos zur fotolithografischen Strukturierung, dann in eine ununterbrochene nasschemische Arbeitsfolge (Galvanotechnik, Ätzen und Strippen) und letztendlich zum Umschmelzen übergehen. Unterbrechungen des Prozesses durch Rückkehr zur Vakuumtechnik bzw. Reinigungsprozesse zur Trocknung oder Aktivierung von Zwischenschichten sind nicht erforderlich.

4. Gefügeuntersuchungen

Der in Bild 5 dargestellte Aufschmelzversuch zeigt, dass sich das dünne Kupfer als Sn_6Cu_5-intermetallische Phase ablagert, Silber verteilt sich im Bump in Form von Ag_3Sn-Kristalliten. der Bump ist knapp über der eutektischen Schmelztemperatur der SnAgCu-Legierung bereits vollständig umgeschmolzen.

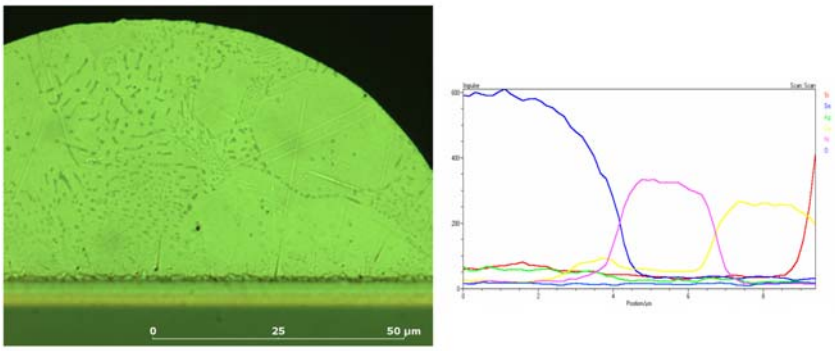


Bild 5: Aufbau eines Bumps, der durch Aufschmelzen einer Schichtfolge Flash-Cu, SnAg-Legierung auf Ni/Cu-Sockel bei 219 °C entstand.

5. Besonderheiten der Galvanik des Waferbumping

Die galvanische Abscheidung in feinste Strukturen bereitet immer wieder Probleme. Die Materialverteilung (und auch die Legierungszusammensetzung) ist abhängig vom Aspektverhältnis der auf dem Wafer vorhandenen Strukturen. Ursachen sind die in unterschiedlichen Strukturen unterschiedlich erfolgende Massentransporte (Konvektion, Diffusion, Migration) und die Potentialdifferenzen an den Elektrodenflächen. Sowohl für die Zinn-Silber-Legierungsabscheidung, als auch für die Kupfer- bzw. Nickelabscheidung ergab sich der starke Struktureinfluss. Liegen auf einem Wafer unterschiedlich große Aspektverhältnisse vor, so erfolgt bei der Zinn- oder Zinnlegierungsabscheidung ein deutlicher Abfall der abgeschiedenen Materialmenge oberhalb eines Aspektverhältnisses von 1 (Lackdicke 50 µm, laterale Öffnung 50 µm). Dieser Einfluss ist elektrolyt- und strukturabhängig. Die Parameter sind schwer zu beeinflussen. Damit ist erforderlich, **alle zu galvanisierenden Flächen auf dem Wafer müssen im Layout gleiche Abmessungen haben**.

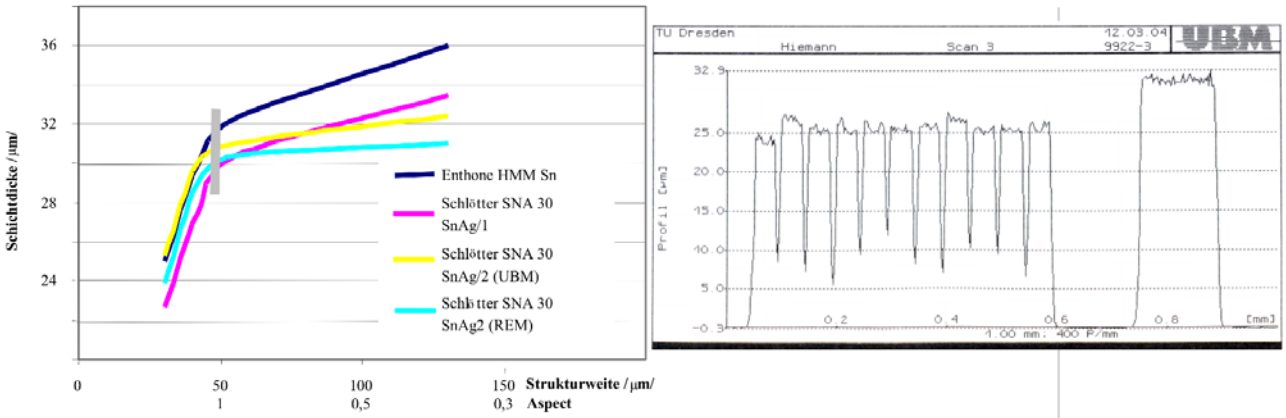


Bild 6: Layouteinfluss bei der galvanischen Sn und SnAg-Abscheidung: Schichtdickenabfall bei unterschiedlichen Elektrolyten und Laseroberflächenscan über unterschiedlich breite Bumps.

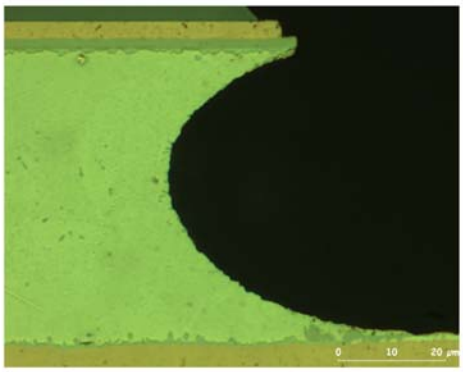
6. Flip-Chip-Verbindung mit der Leiterplatte

Leiterplatten werden zur Verringerung der Oberflächenkorrosion und Ermöglichung von Löt- und Bondverbindungen gleichermaßen oft auch mit Silberoberfläche ausgeliefert. Die Ausnutzung des Legierungseffektes mit dem Zinn des Lotes zum eutektischen Schmelzen des Bumps kann für die Flip-Chip-Technik mit folgenden Vorteilen genutzt werden:

- Einsparung von Arbeitsschritten (nur einmal aufschmelzen)
- Einfachere galvanische Abscheidungen (Sn statt Sn-Legierung)
- Zuverlässigere Verbindung

Ist die Silberschichtdicke auf der Leiterplatte wie üblich nur 0,1 - 0,2 µm, so muss auf 1,0 bis 1,5 µm verstärkt werden oder der Bump einen Teil des Silbers mit enthalten (Zinn-Silber-Legierung).

Bild 7: Flip-Chip-Montage auf einer Silberoberfläche der Leiterplatte bei einer Reflowtemperatur von 220 °C



Die Untersuchungen wurden aus Haushaltsmitteln des Bundesministeriums für Wirtschaft und Arbeit (BMWA) über die Arbeitsgemeinschaft industrieller Forschungsvereinigungen "Otto von Guericke" e. V. (AiF)(AiF-Nr.: 13.310 B/DVS-Nr.: 10.033) gefördert und von der Forschungsvereinigung Schweißen und verwandte Verfahren e. V. des DVS unterstützt. Für diese Unterstützung sei gedankt.

[1] R.Biedorf, R.Schmidt, Abschlussbericht Forschungsvorhaben 13.310 AiF (2004)

[2] P.Grambow, Infineon Technologies AG, München DE OS 101 23 280

[3] Zaheed S.Karim, Rob Schetty, Lead-Free Solder Bump Technologies for Flip-Chip Packaging Applications IMAPS 2001 Baltimore, Maryland October 9 - 11, 2001